

# IR2110, IR2113

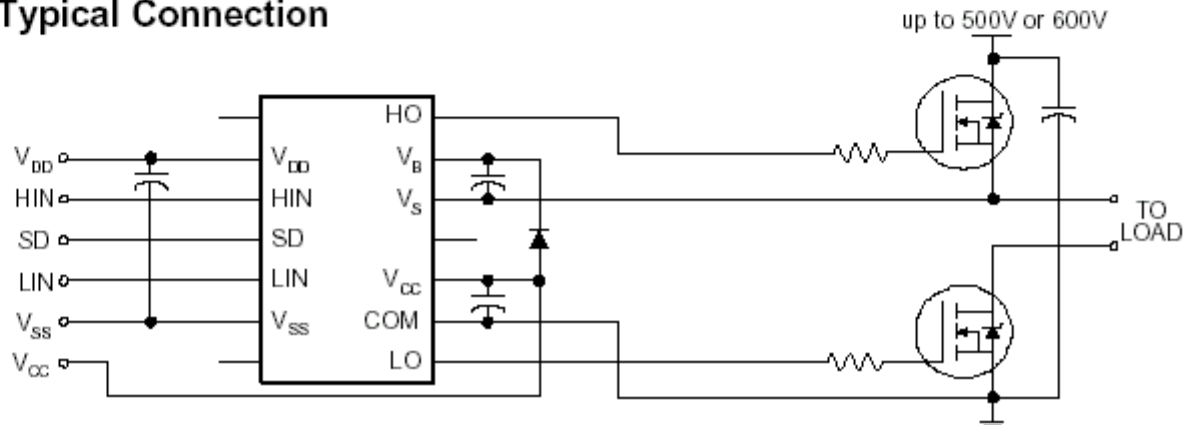
## Драйвер ключей нижнего и верхнего уровней

### Отличительные особенности:

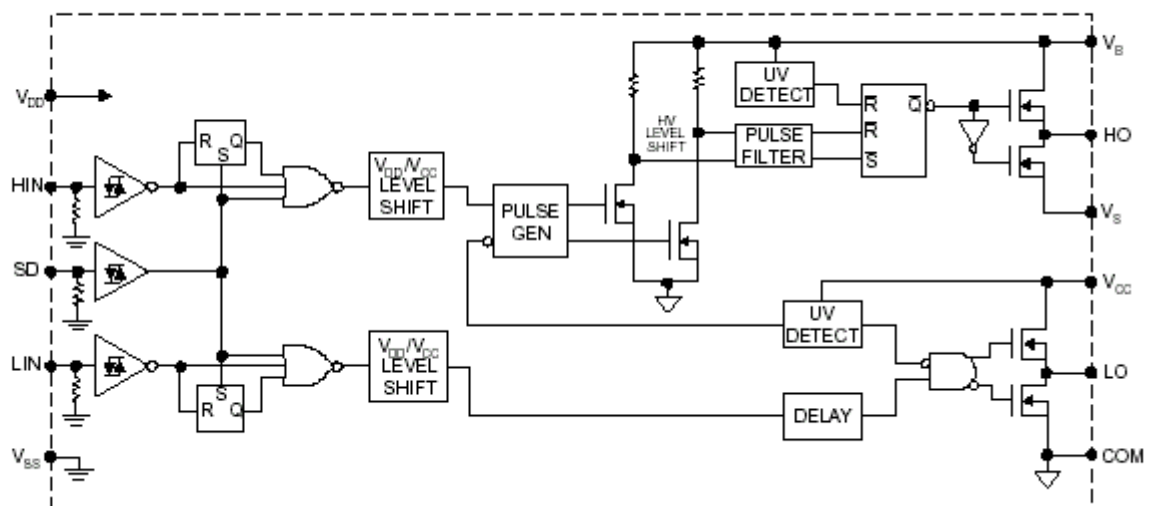
- Управляющие каналы разработаны для нагруженного функционирования полностью работоспособны до +500В или +600В
- Нечувствителен к отрицательным напряжениям при переходных процессах
- Стойкость к скорости нарастания напряжения ( $dV/dt$ )
- Диапазон напряжения питания драйверов 10...20В
- Блокировка при снижении напряжения
- Отдельное питание логики от 5В до 20В
- Смещение логики и общего питания  $\pm 5В$
- Входы с КМОП триггерами Шмита с привязочными резисторами к общему питанию
- Тактирование логики выключения
- Согласованная задержка распространения для обоих каналов
- Выходы драйвера в фазе со входами
- Напряжение смещения  $V_{OFFSET}$ 
  - не более 500В (IR2110)
  - не более 600В (IR2113)
- Импл. вых. ток к.з.  $I_{OZ} \pm 2 A / 2 A$
- Выходное напряжение драйверов  $V_{OUT} 10 - 20В$
- Время вкл./выкл. 120/94 нс
- Согласованная задержка 10 нс

### Типовая схема включения:

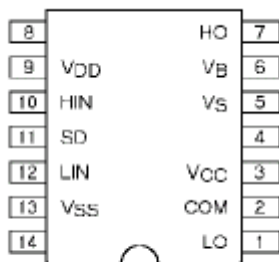
#### Typical Connection



### Блок-схема:



Расположение выводов:



14 Lead PDIP

Описание выводов:

Vdd	Питание логики
HIN	Логический вход управления выходом драйвера верхнего уровня (HO), в фазе
LIN	Логический вход управления выходом драйвера нижнего уровня (LO), в фазе
SD	Вход выключения
VSS	Логический общий
VB	Напряжение питания ключей верхнего уровня
HO	Выход драйвера верхнего уровня
VS	Возврат питания верхнего уровня
VCC	Питание драйверов нижнего уровня
LO	Выход драйвера нижнего уровня
COM	Возврат питания нижнего уровня

Описание:

IR2110, IR2113 - драйверы высоковольтных, высокоскоростных МОП-транзисторов или IGBT-транзисторов с независимыми выходными каналами нижнего и верхнего уровней. Собственная HVIC-технология и стойкая к защелкиванию КМОП-технология позволили создать монолитную конструкцию.

Логический вход совместим с стандартными КМОП или LSTTL выходом. Выходы драйверов отличаются высоким импульсным током буферного каскада, что выполнено для минимизации встречной проводимости драйвера. Задержка при распространении сигналов согласована для применения в высокочастотных приложениях. Выходной канал может быть использован для управления N-канальным силовым МОП-транзистором или IGBT-транзистором с напряжением питания верхнего уровня до 500В или до 600В.

## **IR2110(S)/IR2113(S) & (PbF)**

# HIGH AND LOW SIDE DRIVER

## Features

- Floating channel designed for bootstrap operation  
Fully operational to +500V or +600V  
Tolerant to negative transient voltage  
dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible  
Separate logic supply range from 3.3V to 20V  
Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs
- Also available LEAD-FREE

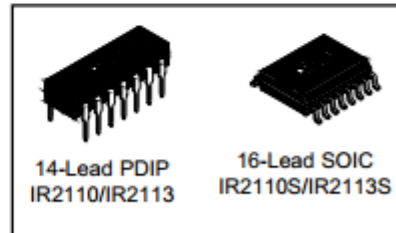
## Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

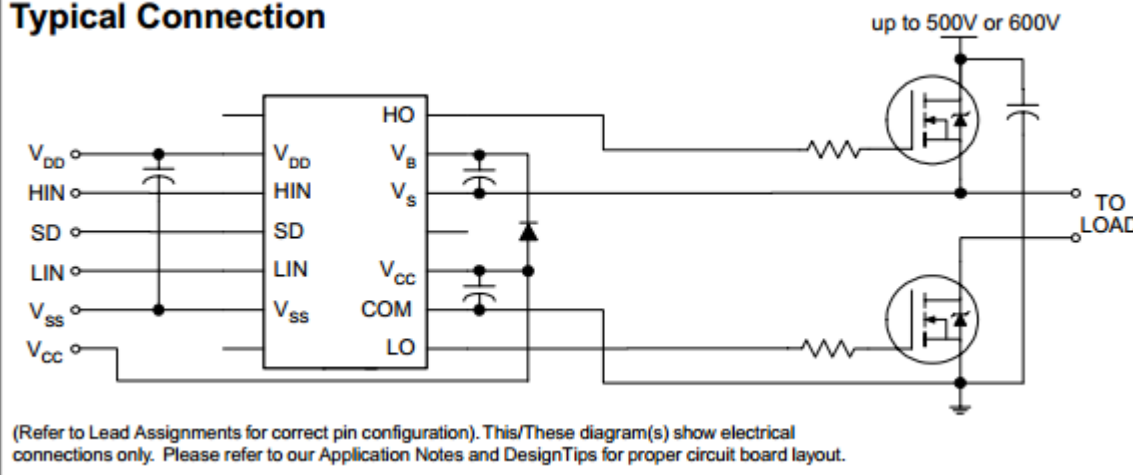
## Product Summary

$V_{\text{OFFSET}}$ (IR2110)	500V max.
(IR2113)	600V max.
$I_{\text{O+/-}}$	2A / 2A
$V_{\text{OUT}}$	10 - 20V
$t_{\text{on/off}}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

## Packages



## Typical Connection



## Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units	
V <sub>B</sub>	High side floating supply voltage (IR2110)	-0.3	525	V	
	(IR2113)	-0.3	625		
V <sub>S</sub>	High side floating supply offset voltage	V <sub>B</sub> - 25	V <sub>B</sub> + 0.3		
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub> - 0.3	V <sub>B</sub> + 0.3		
V <sub>CC</sub>	Low side fixed supply voltage	-0.3	25		
V <sub>LO</sub>	Low side output voltage	-0.3	V <sub>CC</sub> + 0.3		
V <sub>DD</sub>	Logic supply voltage	-0.3	V <sub>SS</sub> + 25		
V <sub>SS</sub>	Logic supply offset voltage	V <sub>CC</sub> - 25	V <sub>CC</sub> + 0.3		
V <sub>IN</sub>	Logic input voltage (HIN, LIN & SD)	V <sub>SS</sub> - 0.3	V <sub>DD</sub> + 0.3		
dV <sub>S</sub> /dt	Allowable offset supply voltage transient (figure 2)	—	50		V/ns
P <sub>D</sub>	Package power dissipation @ T <sub>A</sub> ≤ +25°C	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R <sub>THJA</sub>	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T <sub>J</sub>	Junction temperature	—	150	°C	
T <sub>S</sub>	Storage temperature	-55	150		
T <sub>L</sub>	Lead temperature (soldering, 10 seconds)	—	300		

## Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V<sub>S</sub> and V<sub>SS</sub> offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units	
V <sub>B</sub>	High side floating supply absolute voltage	V <sub>S</sub> + 10	V <sub>S</sub> + 20	V	
V <sub>S</sub>	High side floating supply offset voltage	(IR2110)	Note 1		500
		(IR2113)	Note 1		600
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub>	V <sub>B</sub>		
V <sub>CC</sub>	Low side fixed supply voltage	10	20		
V <sub>LO</sub>	Low side output voltage	0	V <sub>CC</sub>		
V <sub>DD</sub>	Logic supply voltage	V <sub>SS</sub> + 3	V <sub>SS</sub> + 20		
V <sub>SS</sub>	Logic supply offset voltage	-5 (Note 2)	5		
V <sub>IN</sub>	Logic input voltage (HIN, LIN & SD)	V <sub>SS</sub>	V <sub>DD</sub>		
T <sub>A</sub>	Ambient temperature	-40	125	°C	

Note 1: Logic operational for V<sub>S</sub> of -4 to +500V. Logic state held for V<sub>S</sub> of -4V to -V<sub>BS</sub>. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V<sub>DD</sub> < 5V, the minimum V<sub>SS</sub> offset is limited to -V<sub>DD</sub>.

## Dynamic Electrical Characteristics

$V_{BIAS}$  ( $V_{CC}$ ,  $V_{BS}$ ,  $V_{DD}$ ) = 15V,  $C_L$  = 1000 pF,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

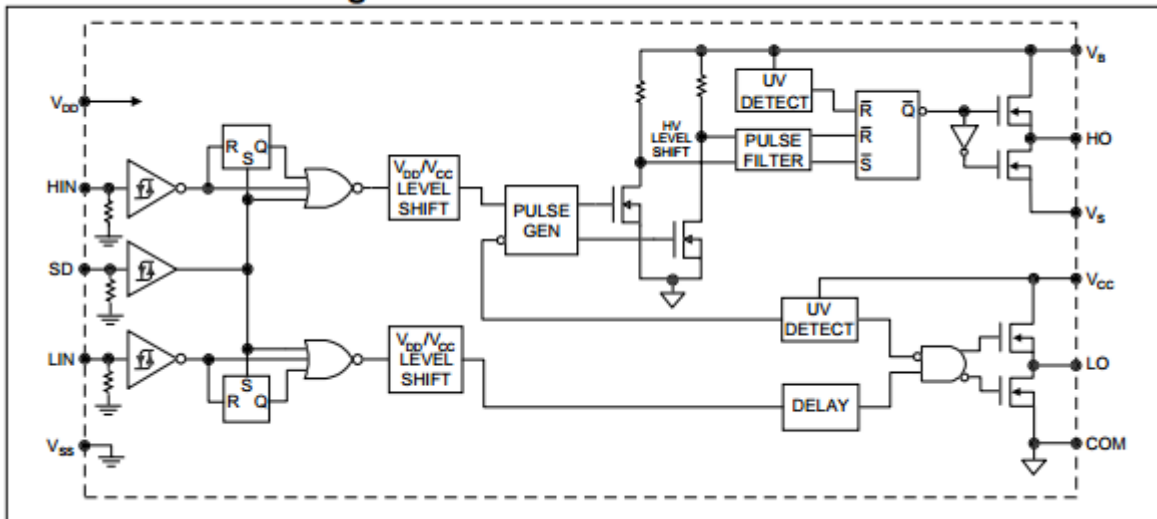
Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$t_{on}$	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
$t_{off}$	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
$t_{sd}$	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
$t_r$	Turn-on rise time	10	—	25	35		
$t_f$	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	(IR2110) (IR2113)	—	—	—		10 20

## Static Electrical Characteristics

$V_{BIAS}$  ( $V_{CC}$ ,  $V_{BS}$ ,  $V_{DD}$ ) = 15V,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The  $V_{IH}$ ,  $V_{TH}$  and  $I_{IN}$  parameters are referenced to  $V_{SS}$  and are applicable to all three logic input leads: HIN, LIN and SD. The  $V_O$  and  $I_O$  parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$V_{IH}$	Logic "1" input voltage	12	9.5	—	—	V	
$V_{IL}$	Logic "0" input voltage	13	—	—	6.0		
$V_{OH}$	High level output voltage, $V_{BIAS} - V_O$	14	—	—	1.2		$I_O = 0A$
$V_{OL}$	Low level output voltage, $V_O$	15	—	—	0.1		$I_O = 0A$
$I_{LK}$	Offset supply leakage current	16	—	—	50	$\mu A$	$V_B = V_S = 500V/600V$
$I_{QBS}$	Quiescent $V_{BS}$ supply current	17	—	125	230		$V_{IN} = 0V$ or $V_{DD}$
$I_{QCC}$	Quiescent $V_{CC}$ supply current	18	—	180	340		$V_{IN} = 0V$ or $V_{DD}$
$I_{QDD}$	Quiescent $V_{DD}$ supply current	19	—	15	30		$V_{IN} = 0V$ or $V_{DD}$
$I_{IN+}$	Logic "1" input bias current	20	—	20	40	V	$V_{IN} = V_{DD}$
$I_{IN-}$	Logic "0" input bias current	21	—	—	1.0		$V_{IN} = 0V$
$V_{BSUV+}$	$V_{BS}$ supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
$V_{BSUV-}$	$V_{BS}$ supply undervoltage negative going threshold	23	7.0	8.2	9.4		
$V_{CCUV+}$	$V_{CC}$ supply undervoltage positive going threshold	24	7.4	8.5	9.6		
$V_{CCUV-}$	$V_{CC}$ supply undervoltage negative going threshold	25	7.0	8.2	9.4		
$I_{O+}$	Output high short circuit pulsed current	26	2.0	2.5	—	A	$V_O = 0V$ , $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$
$I_{O-}$	Output low short circuit pulsed current	27	2.0	2.5	—		$V_O = 15V$ , $V_{IN} = 0V$ $PW \leq 10 \mu s$

## Functional Block Diagram



## Lead Definitions

Symbol	Description
VDD	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
VSS	Logic ground
V <sub>B</sub>	High side floating supply
HO	High side gate drive output
V <sub>S</sub>	High side floating supply return
VCC	Low side supply
LO	Low side gate drive output
COM	Low side return

## Lead Assignments

<p>14 Lead PDIP</p> <p><b>IR2110/IR2113</b></p>	<p>16 Lead SOIC (Wide Body)</p> <p><b>IR2110S/IR2113S</b></p>
---	---

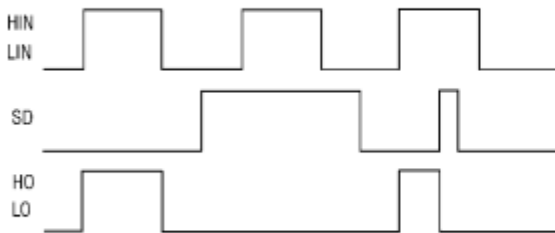


Figure 1. Input/Output Timing Diagram

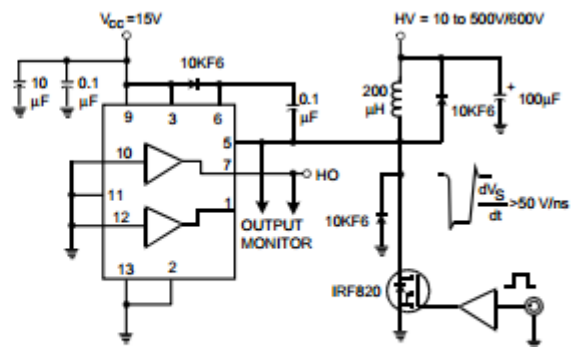


Figure 2. Floating Supply Voltage Transient Test Circuit

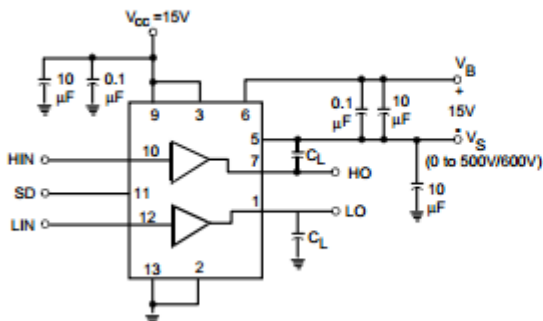


Figure 3. Switching Time Test Circuit

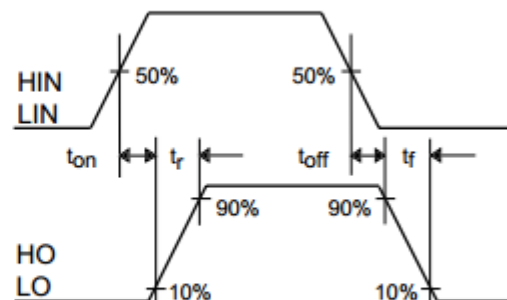


Figure 4. Switching Time Waveform Definition